

⑬ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59—35421

① Int. Cl.³
H 01 L 21/205
29/74

識別記号

庁内整理番号
7739—5F
7738—5F

④ 公開 昭和59年(1984) 2月27日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ 半導体装置の製造方法

① 特 願 昭57—145498

② 出 願 昭57(1982) 8月24日

⑦ 発 明 者 横田悦男

川崎市幸区小向東芝町1 東京芝
浦電気株式会社トランジスタ工
場内

⑧ 発 明 者 開俊一

川崎市幸区小向東芝町1 東京芝
浦電気株式会社トランジスタ工

場内

⑦ 発 明 者 米沢敏夫

川崎市幸区小向東芝町1 東京芝
浦電気株式会社トランジスタ工
場内

⑧ 発 明 者 岩淵眞三郎

川崎市幸区堀川町72 東京芝浦電
気株式会社堀川町工場内

⑨ 出 願 人 東京芝浦電気株式会社

川崎市幸区堀川町72番地

⑩ 代 理 人 弁理士 諸田英二

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

- 1 半導体基板の表面に不純物拡散層を形成した後、該不純物拡散層の表面を機械的かつ化学的に鏡面研磨して所要厚さだけを取り除き、鏡面研磨後の該不純物拡散層の上にエピタキシャル法によって所定厚さのエピタキシャル層を形成する工程を含むことを特徴とする半導体装置の製造方法。

3. 発明の詳細を説明

〔発明の技術分野〕

この発明は半導体装置の製造方法に関するものであり、特に大電力用サイリスタ等に好適な製造方法に関するものである。

〔発明の技術的背景〕

バイポーラ素子用の半導体ウエハとしては、一般にエピタキシャルウエハが用いられるが、現在のエピタキシャル技術ではエピタキシャル層を完

全に無欠陥に形成することができないため、エピタキシャル工程後に全く無欠陥のエピタキシャルウエハが得られる収率は極めて低い。従って、一枚の半導体ウエハを多数の半導体チップとして分割するバイポーラIC等の製造においては、欠陥のあるチップのみ切除すれば、エピタキシャルウエハを使用しても歩留りが極端に低くなることはないが、一枚のウエハがそのまま一個の素子となる大電力用サイリスタの製造においては、エピタキシャルウエハを用いると歩留りが極端に悪くなってしまう。このため、従来は、一枚の半導体ウエハが一個の素子となる大電力用サイリスタはエピタキシャルウエハを用いて製造することができなかった。

〔背景技術の問題点〕

以下には、バイポーラICや小電力用トランジスタ等の製造に用いられているエピタキシャルウエハの製造方法の概要とそれに存する問題点とについて説明する。

従来、エピタキシャルウエハは次のような方法

で製造されている。まず、CZ法若しくはFZ法等で所定の導電型の半導体ウエハを製作し、この半導体ウエハの所定部にアクセプタ不純物若しくはドナー不純物を熱拡散法によってドーピングして不純物拡散層を形成する。次に、この不純物拡散層の表面を硫酸、過酸化水素、塩酸等によって洗浄した後、純水を滴下しつつ清浄な布で表面スクラビングを行ってウエハ表面を清浄にする。そしてこの清浄化処理後、不純物拡散層の表面にエピタキシャル成長によって単結晶のエピタキシャル層を成長させている。

しかしながら、前記の如き従来方法においては、どんなに表面スクラビングを丁寧に行っても、清浄化処理後のウエハ表面に数個程度の微量の残渣が残り、この残渣が次のエピタキシャル工程でマウンド等の欠陥をエピタキシャル層に発生させる原因となるため、従来方法では全く無欠陥のエピタキシャルウエハを製造することはほとんど不可能であった。

従って、従来方法で製造されたエピタキシャ

ルウエハには必ず欠陥が存在する以上、一枚のウエハを一個の素子として使用する大電力用サイリスタにはエピタキシャルウエハを使用することができず、かかる大電力用サイリスタは専ら全拡散法や拡散合金法によって製造されていた。

〔発明の目的〕

この発明の目的は、前記従来方法における問題点を解決して、無欠陥のエピタキシャルウエハを得、これを用いて改良された半導体装置製造方法を提供することであり、この発明の他の目的は、大電力用サイリスタをエピタキシャルウエハによって製造することのできる半導体装置製造方法を提供することである。

〔発明の概要〕

本発明者らは、無欠陥のエピタキシャル層を有するエピタキシャルウエハを得るために種々の試みを行った結果、不純物拡散層の形成後、該拡散層表面を機械的かつ化学的に鏡面研磨によって5 μm 厚程度除去した後にエピタキシャル成長をさせると、無欠陥のエピタキシャル層が得られるこ

とを見出し、これにより従来技術の問題点を完全に解決できることを確認した。

〔発明の実施例〕

ミラー指数(111)、抵抗率150~200 Ωcm のN形シリコンウエハを、純水、塩酸、過酸化水素の混合液で洗浄した後、1100℃の乾燥酸素中で30分間酸化して表面に厚さ950 ÅのSiO₂膜を形成した。

次にこの酸化膜を通して加速電圧140 keVでドーズ量 $7 \times 10^{14}/\text{cm}^2$ のりんをウエハ内にイオン注入した後、再び前記混合液で洗浄し、更に洗浄後のウエハを1100℃で約7時間スチーム酸化法により酸化し約1.5 μm 厚さの酸化膜を形成する。この酸化膜形成後、ウエハは前記混合液で洗浄し、洗浄後のウエハを窒素と酸素との混合ガス中において1260℃で約50時間かけてウエハ内にりんを拡散させた。このりんの拡散深さは55 $\mu\text{m} \pm 4 \mu\text{m}$ である。りん拡散後、ウエハ表面の酸化膜は弗酸でエッチングしてりん拡散層を露出させ、更に前記洗浄液で洗浄した。

次に前記のようにしてりん拡散層を露出させたウエハの表面を珪酸パウダーを用いて機械的かつ化学的に鏡面研磨してりん拡散層の表面を5 μm 取り除き、鏡面研磨後のウエハ表面にエピタキシャル成長により厚さ40 μm 、比抵抗0.1 Ωcm のN形単結晶のエピタキシャル層を形成した。

以上の如き本発明における方法により100枚のエピタキシャルウエハを製作するとともに、前記従来方法(すなわち洗浄後に清浄布により表面スクラビングを行う方法)によって同一シリコンウエハを用いて同数のエピタキシャルウエハを製作し、この二種類のエピタキシャルウエハについてそれぞれのマウンド発生率を調査した。

添付図面は本発明における方法により製造されたエピタキシャルウエハのマウンド発生率(ウエハ1枚当りのマウンド発生数)と、従来方法により製造されたエピタキシャルウエハのマウンド発生率と比較表示したものであり、同図において左側の棒グラフは従来方法によるものであり、右側の棒グラフは本発明における方法によるものであ

る。(それぞれの棒グラフにおいて、横軸はマウンド発生数、縦軸はウェハ枚数である。)

同図から明らかなように、本発明における方法によって製造されたエピタキシャルウェハは、マウンドのないものが100枚のうち80枚にも達し、またマウンド発生数が1個のウェハは15枚であるのに対して、従来方法のウェハではマウンドのないものはわずかに一枚のみであり、マウンド発生数5であるものが全体の40%にも達している。

上記エピタキシャルウェハに、常法によりベース拡散、エミッタ拡散、次いで電極形成を行いサイリスタ素子を製作したところ、従来方法のエピタキシャルウェハでは1つも良品サイリスタ素子が得られなかったが、本発明におけるエピタキシャルウェハではサイリスタ製造プロセス良品率は約50%であり、本提案方法が極めて有効であることがわかった。

〔発明の効果〕

以上の結果から、本発明方法によれば、無欠陥のエピタキシャルウェハを製造することができ、

従って大電力用サイリスタをエピタキシャルウェハによって製作することが可能となると同時に、その他のバイポーラ素子においても歩留向上が実現されることも明らかである。

4. 図面の簡単な説明

添付図面は本発明における方法により製造されたエピタキシャルウェハの一枚当りマウンド発生数と、従来方法により製造されたエピタキシャルウェハの一枚当りマウンド発生数とを比較表示したグラフである。

特許出願人 東京芝浦電気株式会社

代理人 弁理士 諸田 英二

